

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-103925 (A) (43) 17.4.1990 (19) JP

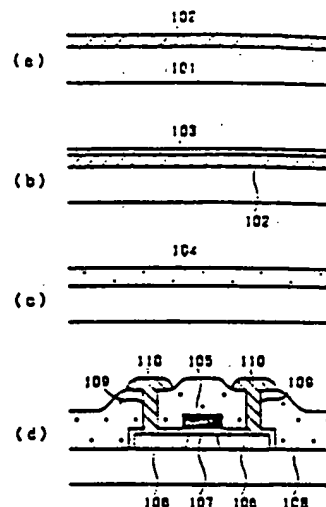
(21) Appl. No. 63-257827 (22) 13.10.1988

(71) SEIKO EPSON CORP (72) HIDEAKI OKA

(51) Int. Cl. H01L21/20, H01L21/324, H01L21/336, H01L29/784

PURPOSE: To obtain a large-sized element having high resolution by laminating first and second amorphous silicon layers on amorphous material, and heat-treating it so as to make the amorphous silicon into large grain diameter and forming a semiconductor element here.

CONSTITUTION: The first amorphous Si layer 102 with a thickness of about 100-3000 Å is overlaid on insulating amorphous material 101 such as glass, quartz, SiO₂, etc., by a vacuum deposition method, and thereon the second amorphous Si layer 103 with a thickness of about 50-1000 Å is accumulated by the LPCVD method. Hereupon, it is important that the first Si layer 102 should be amorphous Si whose polycrystalline nucleus generation rate is lower than the second Si layer 103, so, Si which generates few nucleuses even in heat treatment of several tens hours, for example, at 550-650°C is used. Thereafter, heat treatment of 2-10 hours at 550-650°C is done, and the first and second layers 102 and 103 are united and are converted to a polycrystalline Si layer 104 with large grain diameters, and here source and drain regions 106, and a gate electrode 105 through a gate insulating film 107 are provided, thus a semiconductor element is formed.



101: insulating substrate. 102: first amorphous silicon layer.
103: second silicon layer. 104: polycrystalline silicon layer

⑤ Int. Cl.³

H 01 L 21/20
21/324
21/336
29/784

識別記号

庁内整理番号

7739-5F
7738-5F

④ 公開 平成 2 年 (1990) 4 月 17 日

8624-5F H 01 L 29/78 3 1 1 Z

審査請求 未請求 請求項の数 6 (全 7 頁)

④ 発明の名称 半導体装置の製造方法

④ 特 願 昭63-257827

④ 出 願 昭63(1988)10月13日

④ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

④ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

④ 代 理 人 弁理士 上柳 雅 外 1 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) (a) 絶縁性非晶質材料上に第1の非晶質シリコン層を形成する工程、

(b) 該第1の非晶質シリコン層上に第2のシリコン層を形成する工程、

(c) 該第1の非晶質シリコン層及び第2のシリコン層を熱処理等により結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法、

2) 前記第2のシリコン層が非晶質シリコンであることを特徴とする請求項1記載の半導体装置の製造方法、

3) 前記第2のシリコン層をCVD法で形成したことを特徴とする請求項1及び請求項2記載の半導体装置の製造方法、

4) 前記第2のシリコン層をCVD法で500℃

～560℃で形成したことを特徴とする請求項3記載の半導体装置の製造方法、

5) 前記第2のシリコン層の膜厚が50Åから100Åであることを特徴とする請求項1～請求項4記載の半導体装置の製造方法、

6) 前記第2のシリコン層が微結晶シリコンであることを特徴とする請求項1記載の半導体装置の製造方法、

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

〔従来の技術〕

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような

に形成されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1)ガラス等の基板等により形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)溶融再結晶化法等により形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、多結晶シリコンTFT $\sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による溶融再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

(b) 該第1の非晶質シリコン層上に第2のシリコン層を形成する工程、

(c) 該第1の非晶質シリコン層及び第2のシリコン層を熱処理等により結晶成長させる工程、

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする。

【実施例】

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料101上に第1の非晶質シリコン層102を形成する工程である。第1の非晶質シリコン層の形成方法としては、例えば、真空蒸着法で 10^{-4} Pa 程度以下の真空度で膜厚 $100 \text{ \AA} \sim 3000 \text{ \AA}$ 程度の非晶質シリコン膜を形成する等の方法がある。尚、成膜方法はこれに

よって、絶縁性非晶質材料上に非晶質シリコン素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid F 112: 130 (1983) p.237、JJAP Vol.25 No.2 (1986) p.1121)

しかし、従来の技術では、多結晶シリコンをCVD法で形成し、 SiH_4 をイオンインプラして多結晶シリコンを非晶質化した後、 600°C 程度の熱処理を100時間近く行っていた。そのため、高価なイオン注入装置を必要としたほか、熱処理時間も極めて長いという欠点があった。

そこで、本発明はより簡便かつ実用的な方法で、大粒径の多結晶シリコンを形成する製造方法を提供するものである。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、

(a) 絶縁性非晶質材料上に第1の非晶質シリコン層を形成する工程、

限定されるものではなく、第2のシリコン膜に比べて多結晶核発生確率の低い(望ましくは、 550°C から 650°C 程度の熱処理を数十時間行っても多結晶核が発生しない)非晶質シリコンであることが重要である。(B)は、該第1の非晶質シリコン層102上に第2のシリコン層103を形成する工程である。第2のシリコン層の形成方法としては、例えば、LPCVD法で $500^\circ\text{C} \sim 560^\circ\text{C}$ 程度で膜厚 $50 \text{ \AA} \sim 1000 \text{ \AA}$ 程度の非晶質シリコン膜を形成する等の方法があるが、成膜方法はこれに限定されるものではなく、 550°C から 650°C 程度の熱処理による多結晶核発生確率が第1の非晶質シリコンに比べて高く、多結晶核発生密度が低い(望ましくは、 1 mm^2 角に結晶核1個未満程度)シリコン膜であることが重要である。

(C)は、第1及び第2のシリコン層を熱処理により結晶成長させる工程である。熱処理温度は第1及び第2のシリコン層の成膜条件により是適条件が見えるが、 $550^\circ\text{C} \sim 650^\circ\text{C}$ 程度で2～10時間程度真空もしくは Ar 等の不活性ガス雰囲気

はされる。そのプロセスは、大粒位の熱処理によりまず第2のシリコン層で結晶核が発生する。続いて、その結晶核をシードとして第1の非晶質シリコン層が結晶化され、大粒位の多結晶シリコン層104が形成される。(こ)は、多結晶化されたシリコン層に半導体素子を形成する工程である。尚、第1図(D)では、半導体素子としてTFTを形成する場合を例としている。図において、105はゲート電極、106はソース・ドレイン領域、107はゲート絶縁膜、108は層間絶縁膜、109はコンタクト穴、110は配線を示す。TFT形成法の一例としては、多結晶シリコン層104をパターン形成し、ゲート絶縁膜を形成する。該ゲート絶縁膜は熱酸化法で形成する方法(高温プロセス)とCVD法もしくはプラズマCVD法等で600℃程度以下の低温で形成する方法(低温プロセス)がある。低温プロセスでは、基板として安価なガラス基板を使用できるため、大型な液晶表示パネルや密着型イメージセンサ等の半導体装置を低コストで作

する欠陥密度が低減され、前記電界効果移動度はさらに向上する。

また、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に適用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体素子材として形成する場合にきわめて有効な製造方法となる。

続いて、本発明に到った技術的背景を述べる。我々は、非晶質シリコンを大粒位の多結晶シリコンに固相成長させる為に、非晶質シリコンの成膜方法と多結晶化されたシリコンの膜質(結晶粒径、配向性、結晶化度等)との関係を探った。その結果、次のようなことが明らかとなった。

(1) 熱処理による多結晶核発生密度及び多結晶核が生成するまでの時間は、非晶質シリコンの成膜方法によって異なる。

(2) 例えば、LPCVD法で形成したシリコン膜の場合は、成膜温度590℃程度では非晶質

いても、下部部の素子に足影響(例えば、不純物の拡散等)を与えずに、上部部に半導体素子を形成することが出来る。続いて、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。

本発明に基づく半導体装置の製造方法で作製した低温プロセスTFT(Nチャンネル)の電界効果移動度は、 $100 \sim 150 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、ガラス基板上に高性能なTFTを形成することが出来た。これは、本発明の製造方法により、大粒位の多結晶シリコン膜が再現性良く形成できるようになった結果可能となった。さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気半導体素子をさらす工程を設けると、結晶粒界に存在

粗の中に粒径200~300Å前後の結晶粒が存在する多結晶もしくは微結晶シリコンになっている。従って、前記膜を600℃程度で熱処理しても結晶粒径の増大はほとんど見られない。また、成膜温度500℃~560℃で形成した膜は非晶質になっているが、600℃程度の熱処理による多結晶核発生密度及び多結晶核が生成するまでの時間が成膜温度によって異なっていた。即ち、成膜温度560℃の場合は多結晶核発生密度が高く、結晶粒径がせいぜい1000Å程度(但し、多結晶化に要する時間は1~2時間程度と短い。)であって、成膜温度を下げるにしたがって、多結晶核発生密度は下がり、成膜温度540℃では2000~3000Å程度の、また、成膜温度500℃では3000~5000Å程度の結晶粒径を有する多結晶シリコンが600℃程度の熱処理により形成された。(但し、多結晶化に要する時間は、成膜温度540℃では5時間程度、成膜温度500℃では20時間以上必要であった。)

(3) 同一成膜条件であっても膜厚を薄くする

(4) 真空蒸着法もしくはプラズマCVD法で形成したシリコン膜の場合は、CVD法で形成した膜よりも更に多結晶核発生密度を下げる事が出来る。真空蒸着法の場合を例にとると、 10^{-4} Pa程度以下の真空度で基板温度 100°C 程度で形成した非晶質シリコン膜を、 600°C の熱処理を50時間程度行うことで、結晶核後5000人を超える多結晶シリコンが形成された。熱処理温度を 550°C 程度まで下げると、 $1\mu\text{m}$ 以上の粒径を有する多結晶シリコンも形成できるが、その場合、多結晶化に要する熱処理時間は100時間以上必要となる。

以上の結果をもとに、大粒径の多結晶シリコンを形成すべく検討した結果が、第1図に示した本発明の製造工程である。その技術的ポイントは、多結晶核発生確率の低い非晶質シリコン膜と多結晶核発生確率の比較的高い非晶質シリコン膜を積層して固相成長させることで、短時間の熱処理で大粒径の多結晶シリコン膜を形成可能とする点に

結晶核発生確率が比較的高い第2のシリコン膜を形成する工程である。その成膜方法としては、前述の通り例えばLP-CVD法で 500°C ～ 560°C 程度で膜厚50人から1000人程度の非晶質シリコン膜を形成する方法がある。LP-CVD法で 590°C で以上で多結晶シリコン膜を形成する方法も考えられるが、結晶粒径が200～300人程度と小さく、その上に積層した非晶質シリコン膜も下地を反映して同程度の粒径の多結晶シリコンに固相成長するため、大粒径化は困難である。又、成膜温度が 590°C で以上と高いため成膜中に第1の非晶質シリコン層で多結晶核が発生し易くなるため好ましくない。それに対して、 500°C ～ 560°C で形成した非晶質シリコンは多結晶核発生密度(600°C 程度熱処理をした場合の核発生密度)が低く、膜厚1000人の場合で1000人～5000人角に1個程度の結晶核が存在するだけであり、膜厚をさらに薄くすれば多結晶核発生密度がさらに低下することがわかった。例えば、LP-CVD法で 500°C ～ 560°C 程度で

第1図において、(A)には多結晶核発生確率の低い第1の非晶質シリコン膜を形成する工程である。その成膜方法としては、前述の通り例えば真空蒸着法で 10^{-4} Pa程度以下の真空度で膜厚100人～3000人程度の非晶質シリコン膜を形成する等の方法がある。第2の非晶質シリコン膜の成膜で重要な点は、 550°C ～ 560°C 程度の熱処理では多結晶核が発生し難いもしくは発生するまでの時間が十分に長いことが必要である。その点には、より規則性の少ないランダムな非晶質シリコン膜を形成する必要がある。具体的には、EB蒸着法等の真空蒸着法の他に、MBE法、プラズマCVD法、スパッタ法、基板温度を 500°C 程度以下に冷却したCVD法等で形成した非晶質シリコン膜が適している。特に、EB法、MBE法で基板温度 200°C 程度よりも低い温度で形成した非晶質シリコン膜は、多結晶核が発生し難く適している。

(B)は第1の非晶質シリコン膜に比べて、多結晶核発生確率の高い第2のシリコン膜を形成する場合、 $1\mu\text{m}$ 角に1個以下の核発生密度に抑えることが出来た。(多結晶核が発生するまでの時間は、成膜温度が高いほど短くなる傾向があった。また、成膜温度が低いほど膜厚を厚くしても核発生密度が低い傾向があった。従って、熱処理時間の短縮と膜厚の制御性を考えると成膜温度は 530°C ～ 550°C 程度が特に好ましい。)第1の非晶質シリコン膜は第2の非晶質シリコン膜で発生した結晶核をシードとして結晶成長する為、上述のように核発生密度の低い非晶質膜を用いると粒径 $1\mu\text{m}$ 以上の多結晶シリコンが得られ、第2のシリコン層として特に適している。又、成膜温度が 560°C 以下と低いため、成膜中に第1のシリコン層からは多結晶核が発生し難いというメリットもある。

第2のシリコン層としては、非晶質以外に例えば非晶質相の中に、微少な結晶領域が存在する微結晶シリコンであっても膜厚等を最適化して結晶核密度を低減すれば有効である。尚、微結晶シリ

なっている。前記の多結晶化工程と比べて比較的高い非晶質シリコンとの区別は困難になる。

従、第2のシリコン層の成膜方法は、CVD法に限定されるものではなく、プラズマCVD法、光CVD法、MBE法等で形成することも可能である。例えば、プラズマCVD法では基板温度を300℃～500℃と比較的高めに設定し形成した膜が上述に条件をよく満たしていた。第2のシリコン層は、第1の非晶質シリコン層と比べて多結晶核発生確率が比較的高く、短時間の熱処理で結晶核が発生する膜であることが重要である。

また、第1の非晶質シリコン上に、第2のシリコン層を積層するときに第1の非晶質シリコン層上に存在する自然酸化膜を除去した方が膜質及び結晶性の向上に有効であることが明らかとなった。第2のシリコン層を積層する前に水素ガス雰囲気もしくは水素プラズマ雰囲気中等で熱処理すると、第1の非晶質上の酸化膜を除去することが出来る。従に、第1の非晶質シリコン層と第2のシリコン

の製造工程図の一例である。尚、第2図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第2図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料201上に第1の非晶質シリコン層202を形成する工程である。第1の非晶質シリコン層の形成方法としては、例えば、真空蒸着法で10⁻⁴Pa程度以下の真空度で膜厚100Å～3000Å程度の非晶質シリコン膜を形成する等の方法がある。尚、成膜方法はこれに限定されるものではなく、第2のシリコン層に比べて多結晶核発生確率の低い(望ましくは、550℃から650℃程度の熱処理を数十時間行っても多結晶核が発生しない)非晶質シリコンであることが重要である。(B)は、該第1の非晶質シリコン層202上に第2のシリコン層203を積層する工程である。第2のシリコン層の形成方法としては、例えば、LPCVD法で500℃～600℃程度で膜厚50Å～1000Å程度の非晶質シリ

コン

多結晶核発生確率が比較的高い第2のシリコン層と多結晶核が発生し難い第1の非晶質シリコン層を積層して550℃～650℃程度の熱処理を行うと、まず、第2のシリコン層で結晶核が発生する。(しかも、核発生までに要する時間は数時間程度と短い。)従いて、第2のシリコン層で発生した結晶核をシードとして第1の非晶質シリコン層が多結晶化される。第1の非晶質シリコン層は多結晶核が発生し難いため、第2のシリコン層で発生した結晶核以外の場所からは結晶成長が起これない。その結果、前記結晶核をシードとした選択的な結晶成長がなされ、大粒径の多結晶シリコンが形成される。特に、本発明では結晶成長が表面側の第2のシリコン層を起点として基板側に向かって進行するため、基板近傍のシリコン層の結晶性が良好であるというメリットがある。この特徴を生かした実施例を第2図に示す。

第2図は、本発明の実施例における半導体装置

コン膜を形成する等の方法があるが、成膜方法はこれに限定されるものではなく、550℃から650℃程度の熱処理による多結晶核発生確率が第1の非晶質シリコンに比べて高く、多結晶核発生密度が低い(望ましくは、1μm角に結晶核1個未満程度)シリコン膜であることが重要である。

(C)は、第1及び第2のシリコン層を熱処理により結晶成長させる工程である。熱処理温度は第1及び第2のシリコン層の成膜条件により最適条件が異なるが、550℃～650℃程度で2～10時間程度真空もしくはAr等の不活性ガス雰囲気中で熱処理することで多結晶シリコン層204が形成される。そのメカニズムは、短時間の熱処理によりまず第2のシリコン層で結晶核が発生する、従いて、その結晶核をシードとして第1の非晶質シリコン層が結晶化され、大粒径の多結晶シリコン層204が形成される。本発明においては結晶成長が表面側から基板側に向かって進むため、素子を形成する基板近傍のシリコン層の結晶性が特に優れているというメリットがある。

膜厚に薄膜化する工程である。例えば、膜厚200Å～3000Å程度の第1の非晶質シリコン層と膜厚50Å～1000Å程度の第2のシリコン層を積層し、熱処理等によって結晶成長させた後、反応性イオンエッチング(RIE)等のドライエッチング法もしくは希酸、弱酸等を含む水溶液を用いたウェットエッチング法で、膜厚を150Å～1000Å程度に薄膜化する。特に、薄膜化されたシリコン層205の膜厚は、300Å程度以下の薄膜である方がTFTの電界効果移動度がバルク並み若しくはそれ以上になるため好ましい。又、薄膜化の方法としては、他に熱酸化法により、多結晶シリコンを酸化して酸化シリコン層を除去する方法、ゲート絶縁膜を熱酸化法で形成して、絶縁膜を形成しながら薄膜化を行う方法等がある。

(E)は、薄膜化されたシリコン層205に半導体素子を形成する工程である。前述の通り基板近傍の結晶性の良好な領域に素子を形成することができる。尚、第2図(E)では、半導体素子としてT

ト穴を開け、配線を形成することでTFTが形成される。

従って、第1の非晶質シリコンもしくは第2のシリコンの一方のみを固相成長させた場合と比較して本発明の特徴を述べる。

本発明の目的は、大粒径の多結晶シリコンを短時間の熱処理でしかも簡便な製造プロセスで形成する点にある。第1の非晶質シリコン層のみを固相成長させた場合は、長時間の熱処理を必要とする欠点がある。熱処理時間を短縮するために、熱処理温度を例えば800℃以上に上げると、多結晶核発生密度が急激に高くなり、せいぜい200Å～300Å程度の粒径の多結晶シリコンしか得られなくなる。

また、第2のシリコン層のみでは、結晶核発生密度を低減させるために自由に膜厚を薄くすることができないが、第1の非晶質シリコン層と第2のシリコン層を積層する構造を採用すると、結晶核を発生させる第2のシリコン層の膜厚を任意に決定できる利点がある。即ち、前述の通り同一の

205はゲート電極、207はソース・ドレイン領域、208はゲート絶縁膜、209は層間絶縁膜、210はコンタクト穴、211は配線を示す。TFT形成法の一例としては、多結晶シリコン層205をバクーン形成し、ゲート絶縁膜を形成する。該ゲート絶縁膜は熱酸化法で形成する方法(高温プロセス)とCVD法もしくはプラズマCVD法等で600℃程度以下の低温で形成する方法(低温プロセス)がある。低温プロセスでは、基板として安価なガラス基板を使用できるため、大型な液晶表示パネルや密着型イメージセンサ等の半導体装置を低コストで作成できるほか、三次元IC等を形成する場合においても、下層部の素子に悪影響(例えば、不純物の拡散等)を与えずに、上層部に半導体素子を形成することが出来る。従って、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタク

形成条件であっても膜厚を薄くするにつれて多結晶核発生密度を小さくできる為、例えば、第2のシリコン層を50Å～100Å程度と薄くして残りの膜厚を第1の非晶質シリコンで形成する等も可能となる。

〔発明の効果〕

以上述べたように、本発明によればより簡便な製造プロセスで大粒径の多結晶シリコン膜を形成することが出来る。その結果、絶縁性非晶質材料上に高性能な半導体を形成することが可能となり、大型で高解像度の液晶表示パネルや高速度高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

さらに、本発明はせいぜい650℃程度の低温の熱処理が加わるだけであるため、(1)基板として安価なガラス基板を使用できる。(2)三次元ICでは、下層部の素子に悪影響(例えば、不純物の拡散等)を与えずに上層部に半導体素子を形成することが出来る。等のメリットもある。

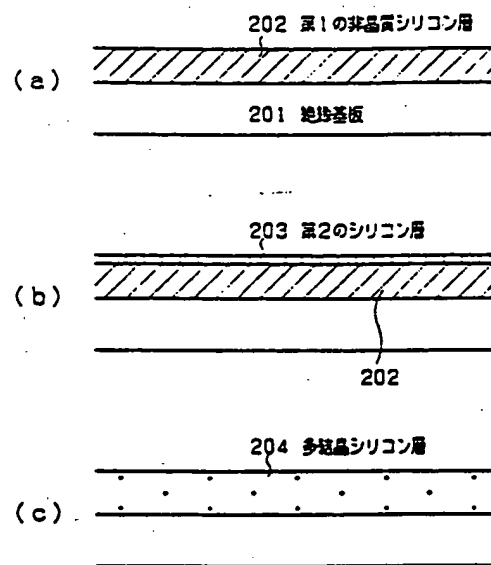
また、本発明は、第1図の実施例に示したTFT

トランジスタ、太陽電池・光センサーをはじめとする光電変換素子の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

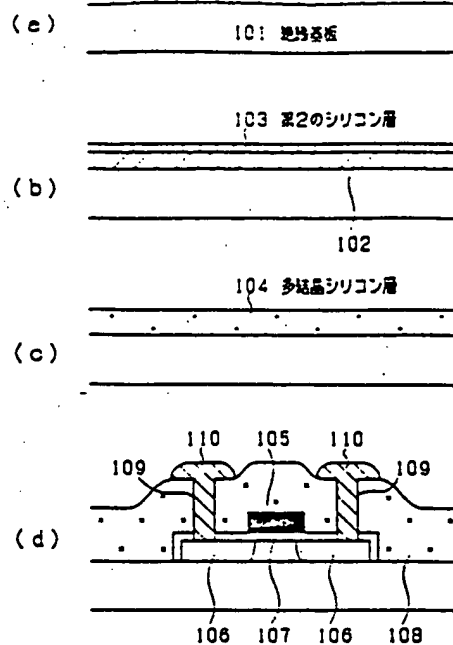
4. 図面の簡単な説明

第1図(a)～(d)及び第2図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

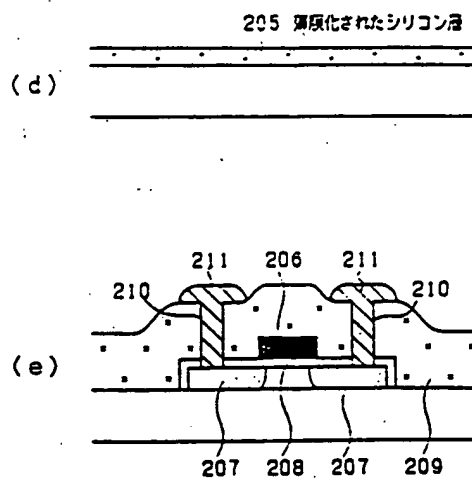
- 101, 201 …… 絶縁性非晶質材料
- 102, 202 …… 第1の非晶質シリコン層
- 103, 203 …… 第2のシリコン層
- 104, 204 …… 多結晶シリコン層
- 105, 206 …… ゲート電極
- 106, 207 …… ソース・ドレイン領域
- 107, 208 …… ゲート絶縁膜
- 108, 209 …… 層間絶縁膜
- 109, 210 …… コンタクト穴
- 110, 211 …… 配線



第 2 図



第 1 図



第 2 図